

NBTI가 발생한 SRAM Cell의 Ground Bounce 영향 분석

Ground Bounce Analysis in Impact of NBTI on SRAM Cell

최 태 원, 백 상 현*

한양대학교 전자전기제어계측공학과

twchoi@hanyang.ac.kr, bau@hanyang.ac.kr*

Abstract

This paper presents noble insights of the combined effects of NBTI (Negative Bias Temperature Instability) and ground bounce in SRAM cells. Experimental results shows that the performance degradation of SRAM cells by NBTI impacts can be possibly reduced by the ground bounce by the parasitic inductance on power signals.

Keyword: NBTI, Ground bounce, SRAM

I. 서론

PMOS에 장시간 동안 음의 바이어스(Negative Bias)가 게이트 단자를 통해 공급되면 Si와 SiO₂ 계면 사이에 인터페이스 트랩(Interface trap)이 발생하게 된다. 이로 인한 물리적 변화로 NBTI가 발생하게 되는데 이러한 현상은 높은 온도에서 가속화 된다 [1].

만약 SRAM 셀 내부 PMOS에 NBTI가 발생한다면 PMOS의 문턱 전압(V_{TH})의 상승으로 인하여 트랜지스터의 PMOS가 Cut-Off 영역에서 머무르는 시간이 NBTI가 발생하지 않은 경우에 비해 상대적으로 증가함으로 셀의 로드(Q, Qb)를 충전하는 시간이 느려지게 된다. 또한 동작전압의 감소로 인해 전류의 흐름이 제한되므로 변화속도(transition speed)가 느려지게 되어 NBTI는 SRAM 셀의 성능을 감소시킨다 [2] [3].

SRAM 셀 회로의 전력선(GND, V_{DD})은 본드 와이어(Bond Wire), 칩 내부의 메탈(Metal) 등을 통해 칩 외부의 전력선과 연결된다. 하지만 본드 와이어와 메탈 등에 기생 인덕턴스 성분이 존재하기 셀의 소스단자에 가해지는 전압은 시스템의 그라운드와 다른 값을 가지게 되어 셀의 성능에 영향을 줄 수 있다 [4]. 칩의 전력선로에 전류의 변화가 발생 되면 V_{DD} 와 GND의

기생 인덕턴스 성분으로 인해 그라운드바운스(Ground Bounce)의 형태로 나타나게 된다 [4]. 발생한 그라운드바운스는 노이즈의 일종으로 SRAM 셀 내부의 V_{DD} 또는 GND의 순간적인 변화를 일으키며, 오동작을 유발한다 [5].

본 논문에서는 NBTI로 인한 SRAM 셀의 성능 감소와 셀의 V_{DD} 와 GND의 기생 인덕턴스 성분으로 인한 그라운드바운스와의 상관관계를 분석하고 실험 결과를 기술 하였다.

II. NBTI와 그라운드바운스 모델

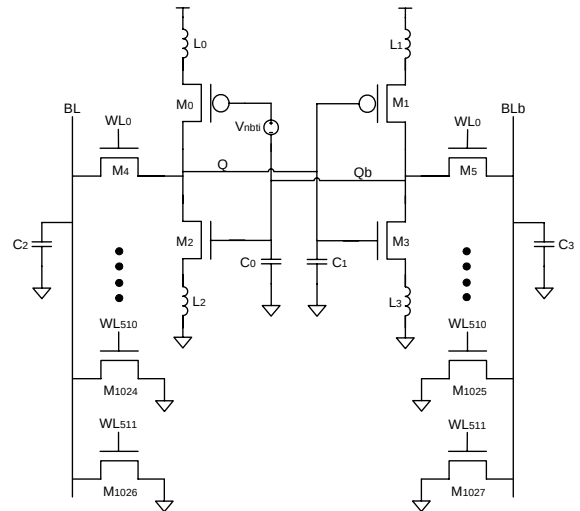


그림 1. NBTI와 그라운드바운스 모델

NBTI와 그라운드바운스에 대한 모델을 그림 1에 보였다. 512x1bit의 SRAM을 본 논문의 목적으로 간략화하였으며, 1개의 6T SRAM 셀과 2개의 비트선(BL, BLb)을 각각 공유하는 1024개의 access transistor (M_4 - M_{1027})들로 구성되고 있다. NBTI 효과가 SRAM 셀 내부에서 발생했을 때와 동일한 효과를 주기 위한 전압원 (V_{nbt})을 추가하였으며, M_0 의 게이트 단자의 전압을 식(1)과 같이 표현할 수 있다 [6].

본 논문은 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과이며, 경기도에서 추진 하는 경기도 지역협력 연구센터 사업의 지원으로 작성되었습니다.

$$V_G \text{ (at } M_0 \text{)} = V_{Qb} + V_{nbt\text{I}} \quad (1)$$

인덕터(L_0, L_1, L_2, L_3)는 칩의 V_{DD} 와 GND에 연결된 본드 와이어와 메탈 등을 모델링 하여 기생 인덕턴스 성분으로 나타낸 것이다. 전류의 흐름에 변화가 발생되면 GND의 기생 인덕턴스 성분으로 인해 그라운드 바운스의 형태로 나타나게 된다. 이렇게 발생한 그라운드 바운스는 식(2)와 같이 표현할 수 있다.

$$V = L \cdot di/dt \quad (2)$$

SRAM셀의 Q, Qb에서의 기생 커패시터는 C_0 와 C_1 이며, 비트선의 기생 커패시터는 C_2 와 C_3 이다. 기생 커패시터는 동부 하이텍의 0.18um Mixed 공정을 이용하여 레이아웃 한 후, Synopsys사의 hercules RC-Extraction을 이용하여 추출된 값이다. 모델링 된 SRAM 셀과 주변회로는 1.8V의 V_{DD} 에서 200Mhz의 동작속도로 시뮬레이션 되었다.

PMOS M_0 의 성능은 노드 Q가 PMOS에 의해서 충전될 때 측정이 될 수 있다. 식(1)의 V_{Qb} 는 노드 Qb의 전압이며, V_{DD} (1) 혹은 GND(0)의 값을 가질 수 있다. 노드 Qb가 '1' 을 저장하고 있는 상태일 때 M_0 의 V_G 는 $V_{nbt\text{I}}$ 만큼 전압이 상승하게 되어 V_{DD} 이상의 값을 가지게 된다. 그러므로 Q에 '1'을 쓰고, Qb에 '0'을 쓰는 동작 동안 ($BL='1'$, $BLb='0'$, $WLO='1'$ 일 때) Qb의 전압이 $V_{DD} - |V_{THP}|$ 가 되어도 M_0 의 V_G 는 $V_{nbt\text{I}}$ 만큼의 전압을 더 가지고 있게 되어 M_0 는 동작하지 않는다.

즉, $V_{nbt\text{I}}$ 를 공급 함으로서 M_0 의 V_{SG} 가 감소하게 되어 문턱전압이 상승된 것과 같은 효과를 나타낸다. 그러므로, $V_{nbt\text{I}}$ 를 추가 함으로서 M_0 의 드레인 전류가 감소되어 SRAM 셀 내부에 NBTI 가 발생된 것과 같은 효과를 나타낼 수 있다. SRAM 셀은 부족한 전류로 인해 지연시간 (Delay Time)이 발생할 것이다.

SRAM에 단위시간 동안 흐르는 전류가 증가하게 되면 식(2)에서 보는 바와 같이 고정된 기생 인덕터 성분으로 인한 그라운드바운스가 커지게 된다. 증가된 그라운드바운스는 지연시간을 증가시킬 수 있다. 그러므로 단위 시간에 흐르는 전류가 감소하면 그라운드바운스로 인한 지연시간 또한 감소될 수 있다.

III. 실험결과

NBTI와 그라운드바운스의 관계성의 실험을 위하여 그림 1의 회로를 사용하였으며, Corner Case의 영향의 관찰을 위하여 온도와 V_{DD} 를 변화시켜 SRAM셀의

Q값의 상승시간 (Rise Time)의 변화를 관찰하였다. 실험은 총 3가지 경우로 진행되었다. 첫 번째 경우는 NBTI와 그라운드 바운스의 영향을 모두 받지 않은 모델로 기생 인덕터 성분과 $V_{nbt\text{I}}$ 를 모두 제거한 후 시뮬레이션 하였으며 'Case A'로 칭한다. 두 번째 경우는 'Case B'로 칭하며, NBTI만 발생한 모델로 기생 인덕터 성분만 제거하고 시뮬레이션 하였다. 마지막으로 'Case C'는 NBTI와 그라운드 바운스가 모두 발생한 모델이다.

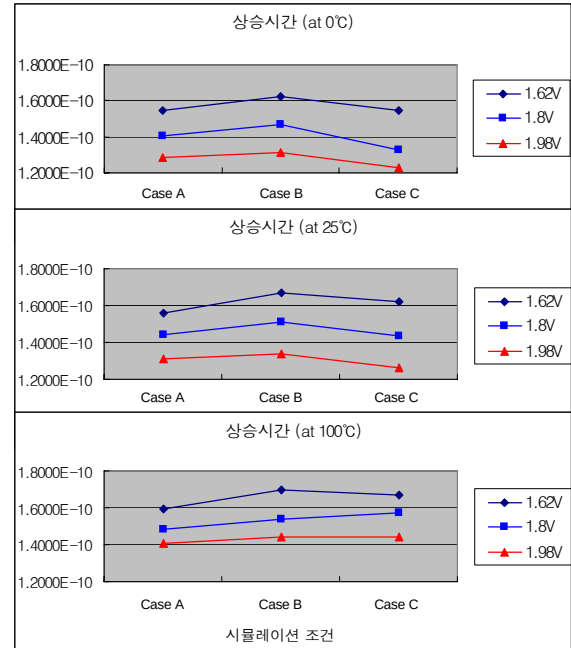


그림 2. 상승시간 측정

그림 2는 그림 1에서 제안한 회로를 이용하여 세가지 경우를 실험하였으며 추가적으로 온도의 변화에 따라 V_{DD} 를 변화시켜 총 여섯 가지 경우를 실험하였다.

NBTI가 발생했을 경우(Case B)를 NBTI와 그라운드바운스가 모두 없는(Case A) 경우와 비교해보면 온도와 V_{DD} 의 변화에 관계없이 상승시간이 증가하였음을 알 수 있다. NBTI와 그라운드바운스의 영향을 동시에 받게 했을 경우(Case C) 온도와 V_{DD} 에 관계없이 상승시간이 'Case B' 보다 감소한 것을 확인 할 수 있다. 또한 온도의 증가에 따라 NBTI의 영향이 가속화되는 것을 확인할 수 있다.

그림 3은 그림 1의 시뮬레이션 결과로 SRAM 셀의 '1' 쓰기 동작 시 노드 Q의 상승곡선과 노드 Qb의 하락곡선을 보여주고 있다. 세 가지 경우를 실험하였으며 NBTI가 발생한 'Case B'는 NBTI와 그라운드바운스가 모두 발생하지 않은 'Case A'와 비교했을 때 하락시간은 거의 같으나 늦어진 상승시간으로 인해 변화시점(Switching Point)이 느려진 것을 보여준다.

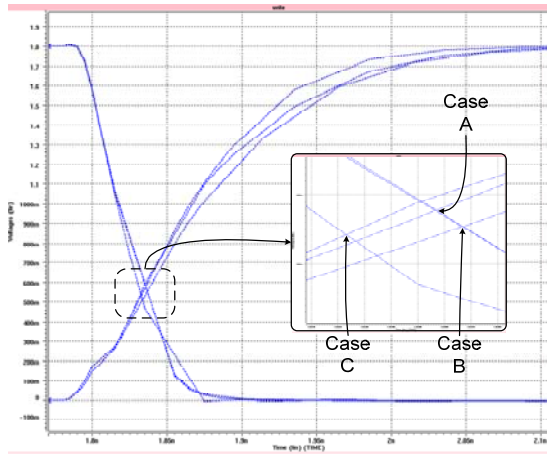


그림 3. SRAM 셀의 switching speed 변화

NBTI와 그라운드바운스 모두 발생한 ‘Case C’의 경우 전체적인 상승시간은 NBTI가 발생하기 전인 ‘Case A’의 경우와 거의 같으며 빨라진 하락시간으로 인해 오히려 변화시점이 빨라졌음을 알 수 있다.

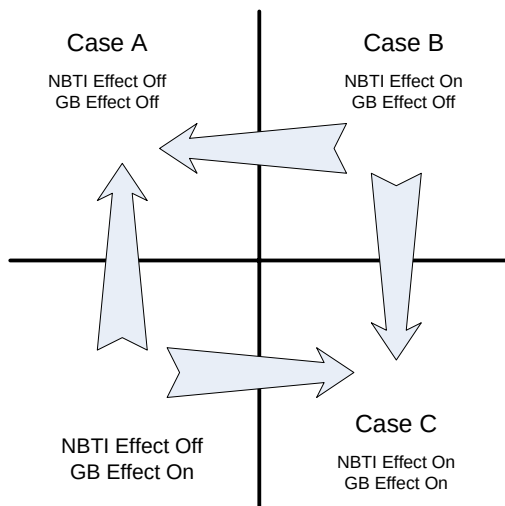


그림 4. NBTI 와 그라운드 바운스의 관계

그림 4는 그림 2의 측정된 결과를 바탕으로 NBTI와 그라운드바운스에 의한 상승시간의 상호관계를 정리한 그림이다. 화살표의 머리부분은 꼬리부분보다 빠른 상승시간을 가지고 있다. 정상상태의 상승시간이 가장 빠르며, NBTI 와 그라운드바운스가 각각 발생한 순간이 가장 느리며 두 가지 모두 발생한 순간은 NBTI만 발생한 순간보다 빠르다는 것을 알 수 있다.

NBTI가 발생하였으나 그라운드바운스가 발생한 경우 NBTI가 발생하지 않았을 경우와 대비하여 속도가 저하되지 않은 것을 보여주고 있다.

IV. 결론

NBTI의 발생은 PMOS를 사용하고 있는 모든 회로에 치명적인 영향을 미치는 것으로, 소자의 성능과 수명에 절대적인 영향을 미친다. 온도, V_{DD} 그리고 NBTI의 발생 정도에 따라 차이는 있지만 NBTI로 인한 지연시간으로 인해 발생하는 성능감소는 소자내의 기생 인덕턴스 성분으로 인한 그라운드바운스에 의해 감소될 수 있다.

참고문헌

- [1] M. A. Alam and S. Mahapatra, "A comprehensive model of PMOS NBTI degradation," *Microelectronics Reliability*, vol. 45, pp.71–81, 2005.
- [2] Li. Xiaojun, Qin Jin, Huang Bing, Zhang Xiaohu and J.B. Bernstein, "SRAM circuit-failure modeling and reliability simulation with SPICE," *Device and Materials Reliability, IEEE Trans on.* vol. 6, pp.235–246, June 2006.
- [3] B. C. Paul, K. Kang, H. Kufluoglu, M. A. Alam, and K. Roy. "Impact of NBTI on the temporal performance degradation of digital circuits," *IEEE Electron Device Letters*, vol. 26 pp.560–562, 2003.
- [4] B. Colwell. "Ground bounce," *Computer*, pp. 11–13, March 2003.
- [5] Ding. Li and P. Mazumder, "The impact of bit-line coupling and ground bounce on CMOS SRAM performance," *proc.16th Int. Conf., VLSI Design*, pp.234 – 239, Jan. 2003.
- [6] Rakesh. Vattikonda, Yansheng. Luo, Alex Gyure, Xiaoning Qi, Sam Lo, Mahmoud Shahram, Yu. Cao, Kishore. Singhal and Dino. Toffolon, "A New Simulation Method for NBTI Analysis in SPICE Environment," *Quality Electronic Design, ISQED '07. 8th International Symposium on 26–28* pp.41 – 46, March 2007.